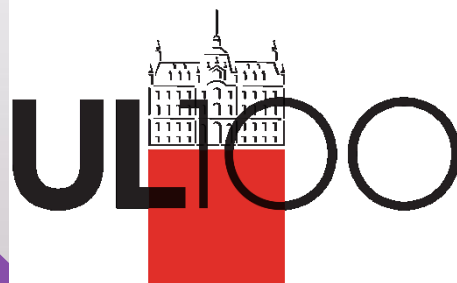


Časovno digitalni pretvornik visoke ločljivosti na čipu Xilinx Zynq-7010

Michel Adamič

Univerza v Ljubljani



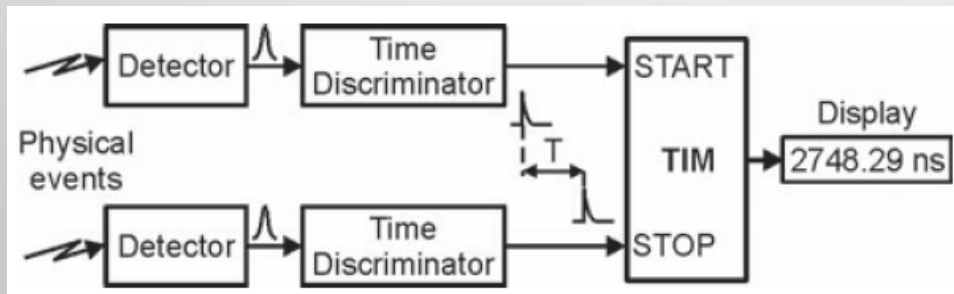
Mentor: izr. prof. dr. Rok Pestotnik

Somentor: izr. prof. dr. Andrej Trost

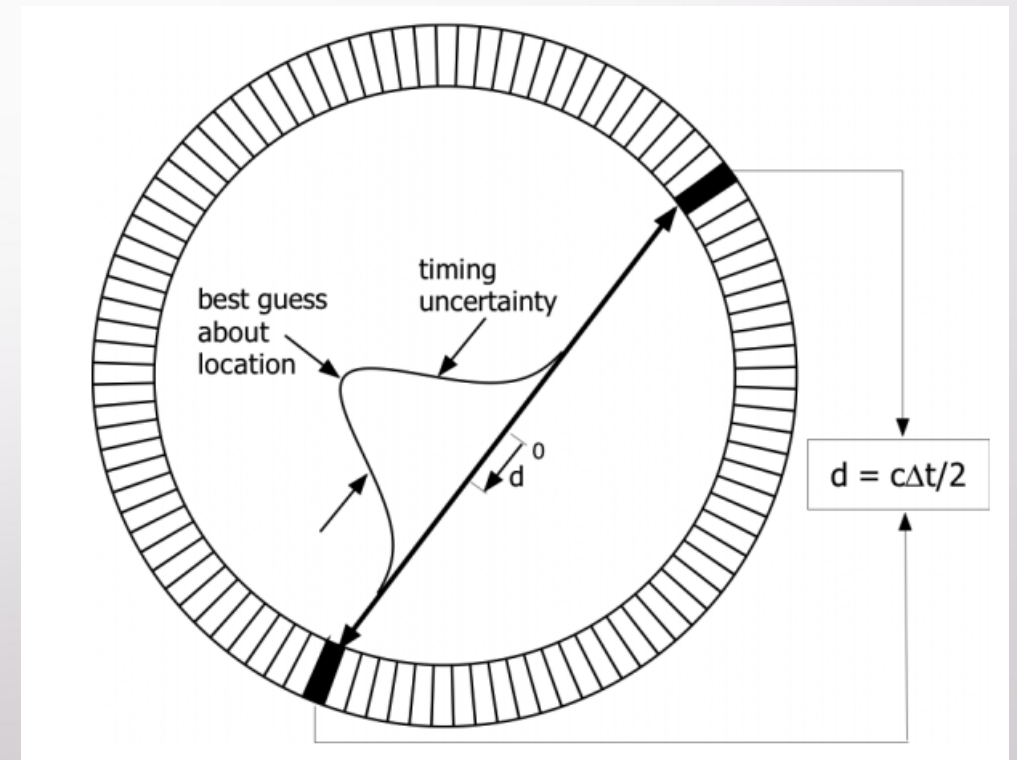
Ljubljana, 9. julij 2020

Časovno digitalni pretvornik (TDC)

- Naprava za natančno merjenje časovnih intervalov med dogodki
- Uporabno za določanje časa preleta (ToF): fizika delcev, merjenje razdalj, medicina (PET) ...



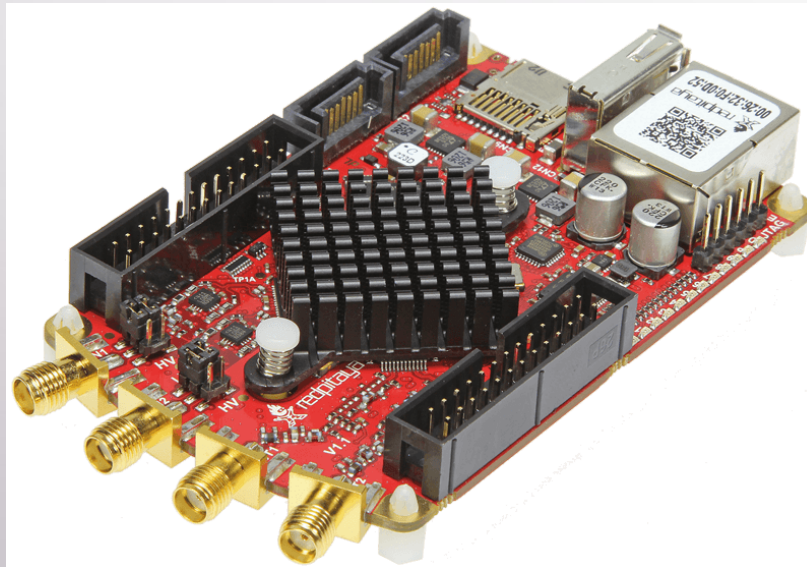
Meritev časovnega intervala [1]



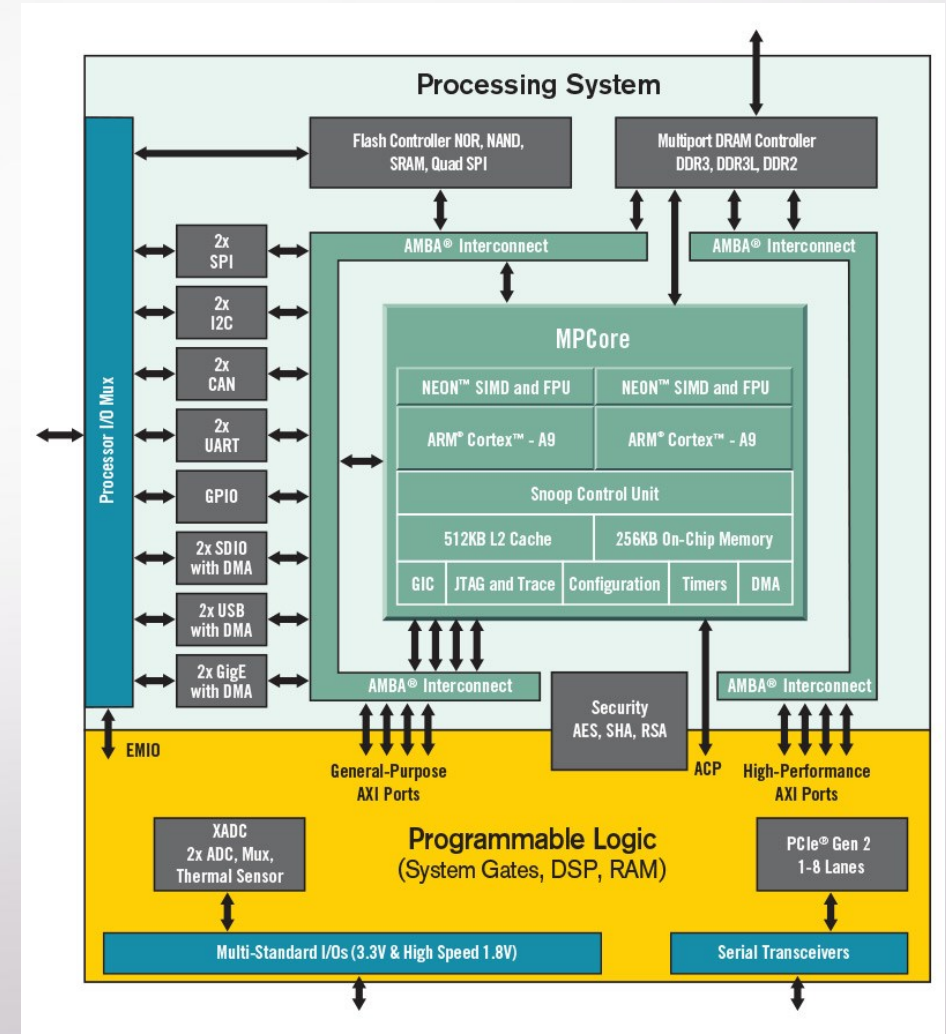
Princip delovanja naprave ToF-PET [2]

Izbrana platforma

- Sistem na čipu Xilinx Zynq-7010 (28 nm)
 - Dvojedni ARM Cortex-A9
 - Programirljiva logika Artix-7 (FPGA)
- Razvojna plošča Red Pitaya



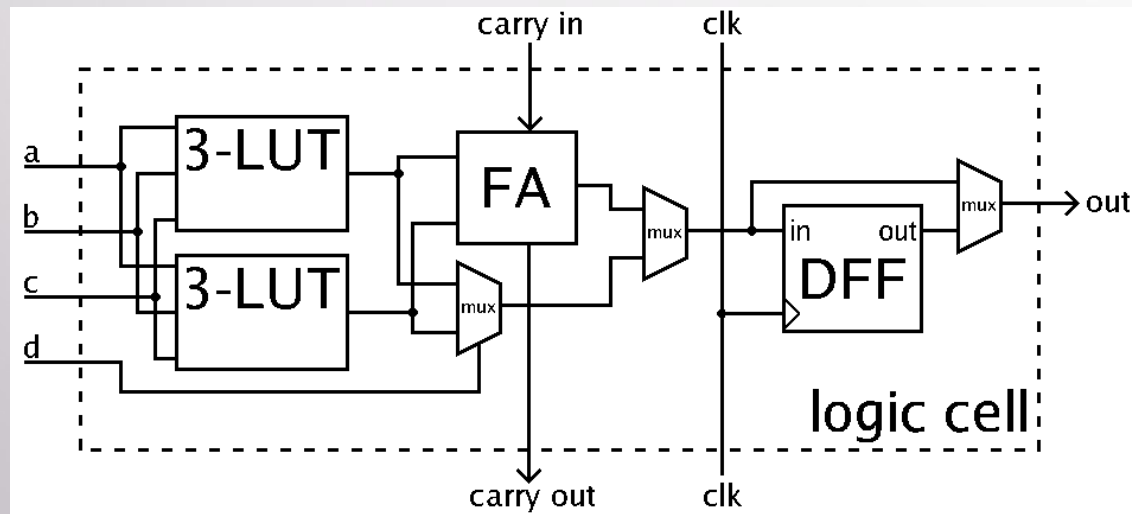
Plošča Red Pitaya [3]



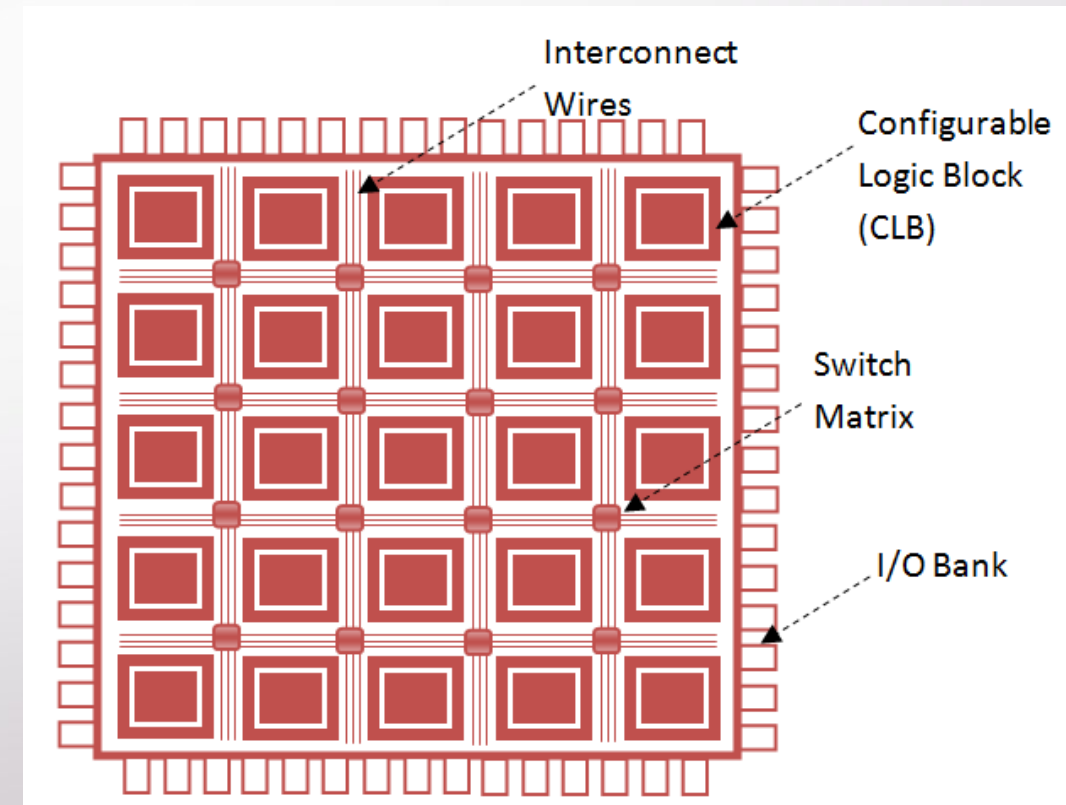
Splošna arhitektura sistema Zynq-7000 [4]

Programirljivo polje vrat (FPGA)

- Sinhrono digitalno vezje
- Polje programirljivih logičnih celic
- Xilinx jih imenuje „rezine“



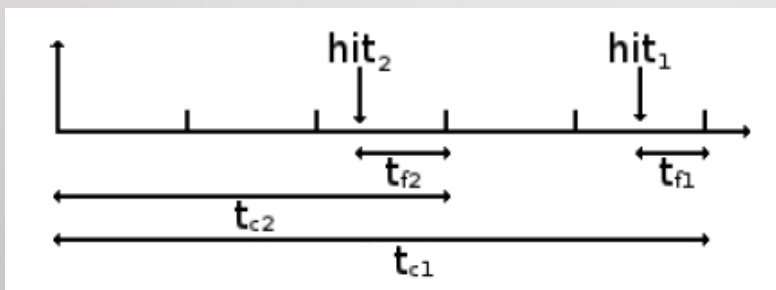
Generična struktura posamezne logične celice [5]



Splošna arhitektura FPGA [6]

TDC v tehnologiji FPGA

- Arhitektura vezja naj bo **popolnoma digitalna** in **enostavna za implementacijo** v programirljivem polju vrat
- Zastavljen cilj: **več kanalov**, časovna ločljivost pod **50 pikosekundami**
- Možne tehnike merjenja časa:
 - Grobo štetje ure – slaba ločljivost, veliko merilno območje
 - Fina meritev z zakasnilno linijo – najvišja ločljivost, zelo omejeno merilno območje
 - Časovna interpolacija: kombinacija grobe in fine meritve – visoka ločljivost, široko merilno območje

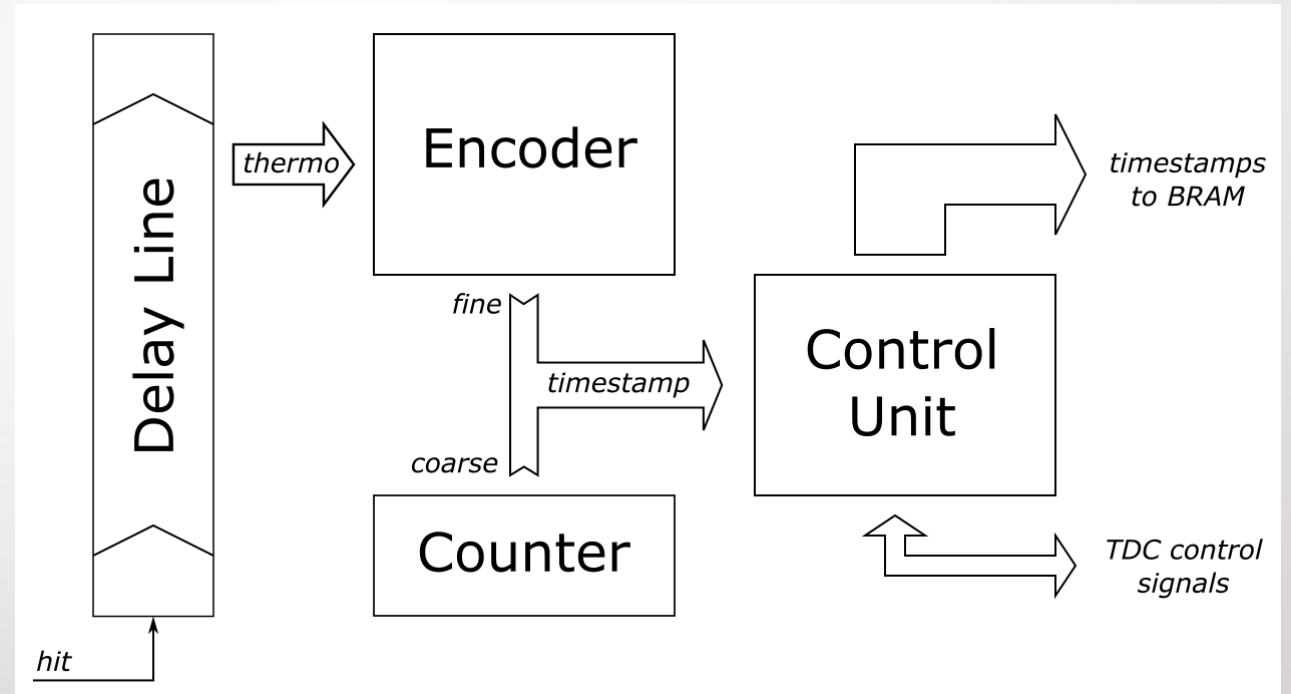


$$t = t_c - t_f$$

Princip časovne interpolacije [7]

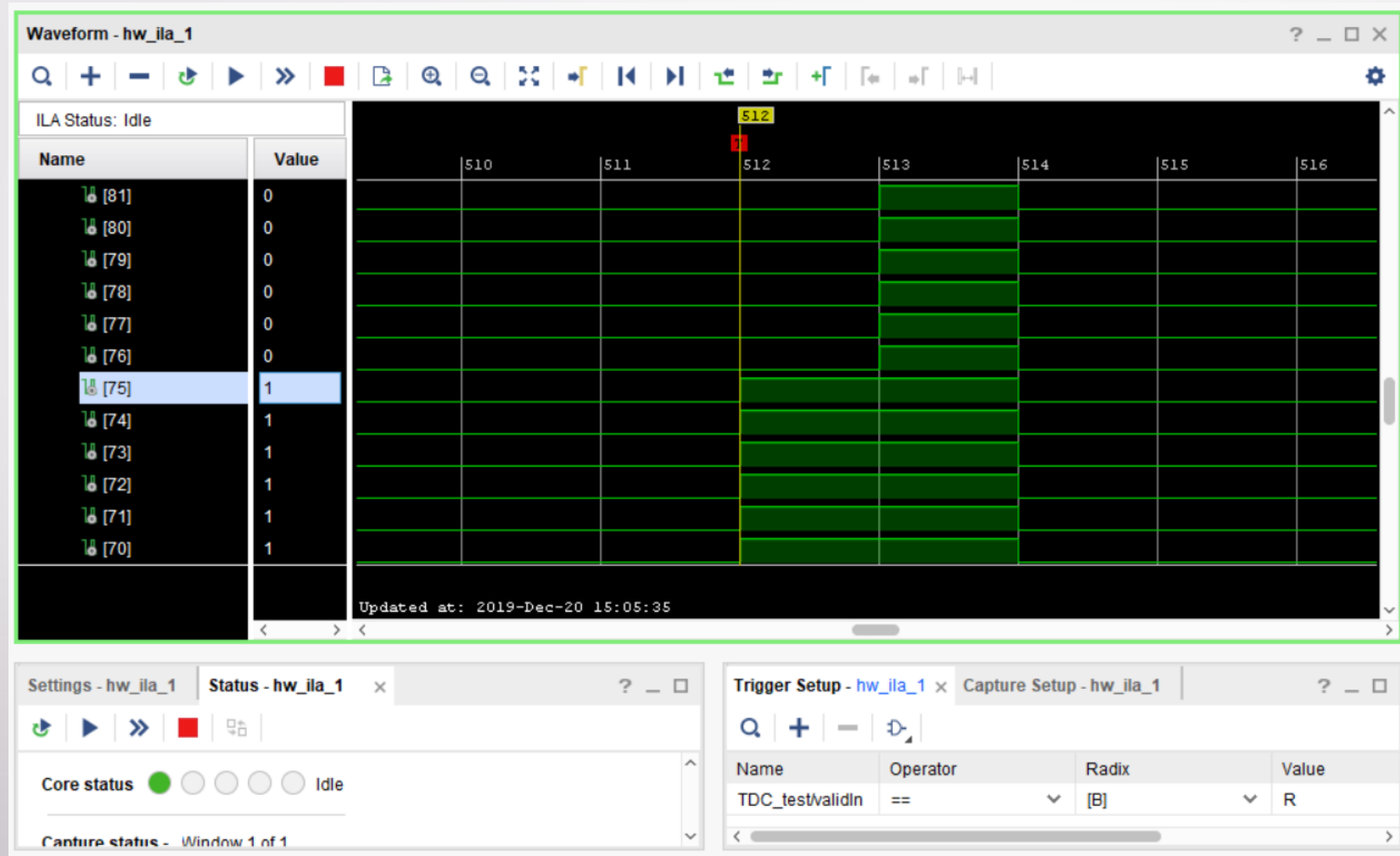
Jedro kanala TDC

- Arhitektura na osnovi integrirane zakasnilne linije
- Zakasnilna linija + enkoder: 8-bitna fina meritev
- Binarni števec: 24-bitna groba meritev
- Kontrolna enota časovne značke vpisuje v pomnilnik BRAM



Blokovna shema jedra TDC

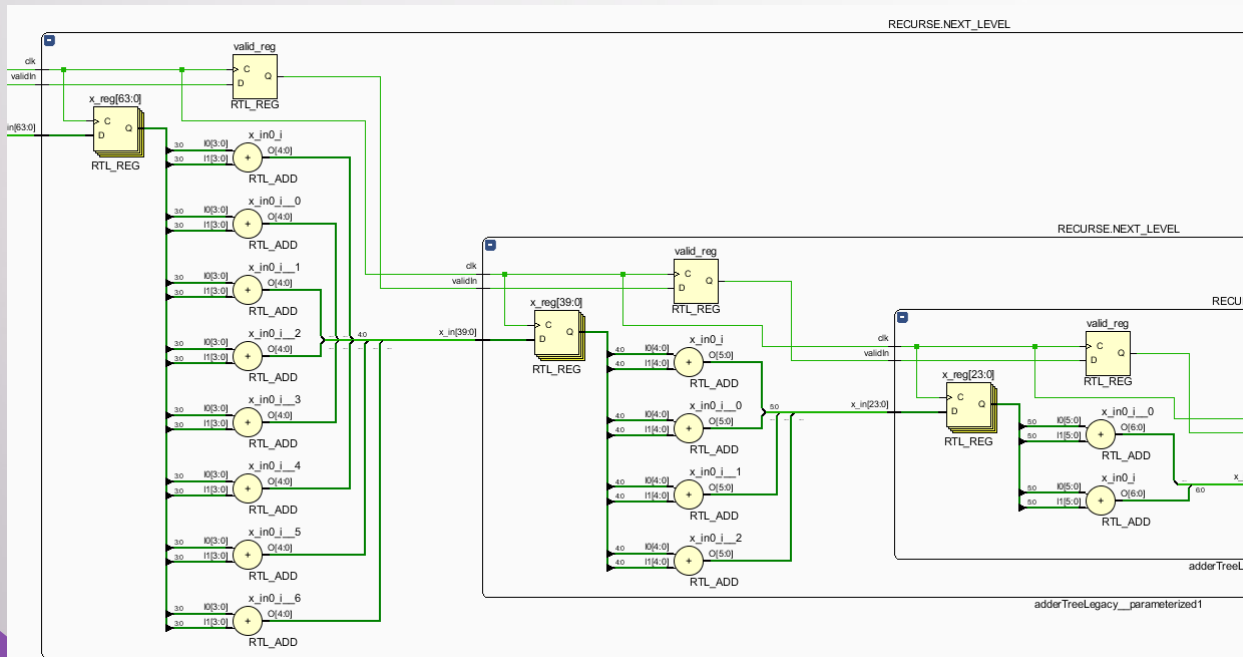
Zakasnilna linija iz prenosne logike



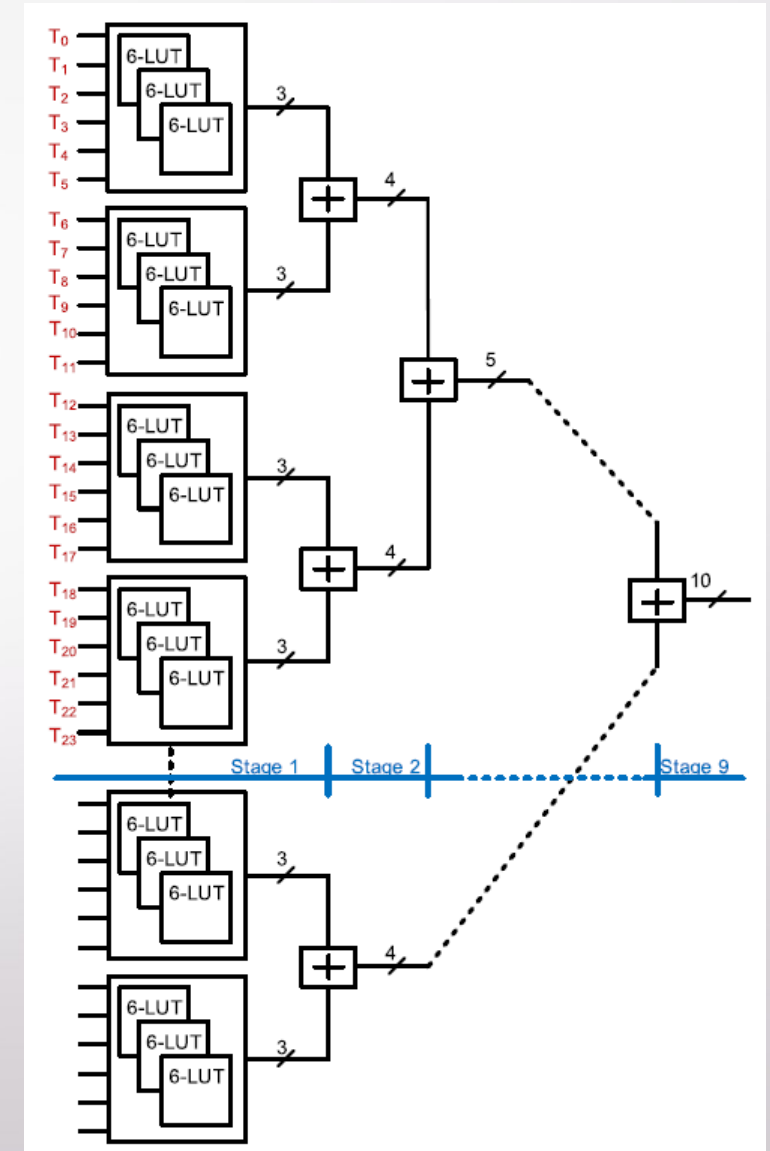
Izmerjena termometriška koda s 76 enicami

Enkoder: štetje enic

- Iz termometerske v binarno kodo
- Seštevalno drevo z uporabo VHDL rekurzije
- Hitrost je bistvena – cevovodna struktura

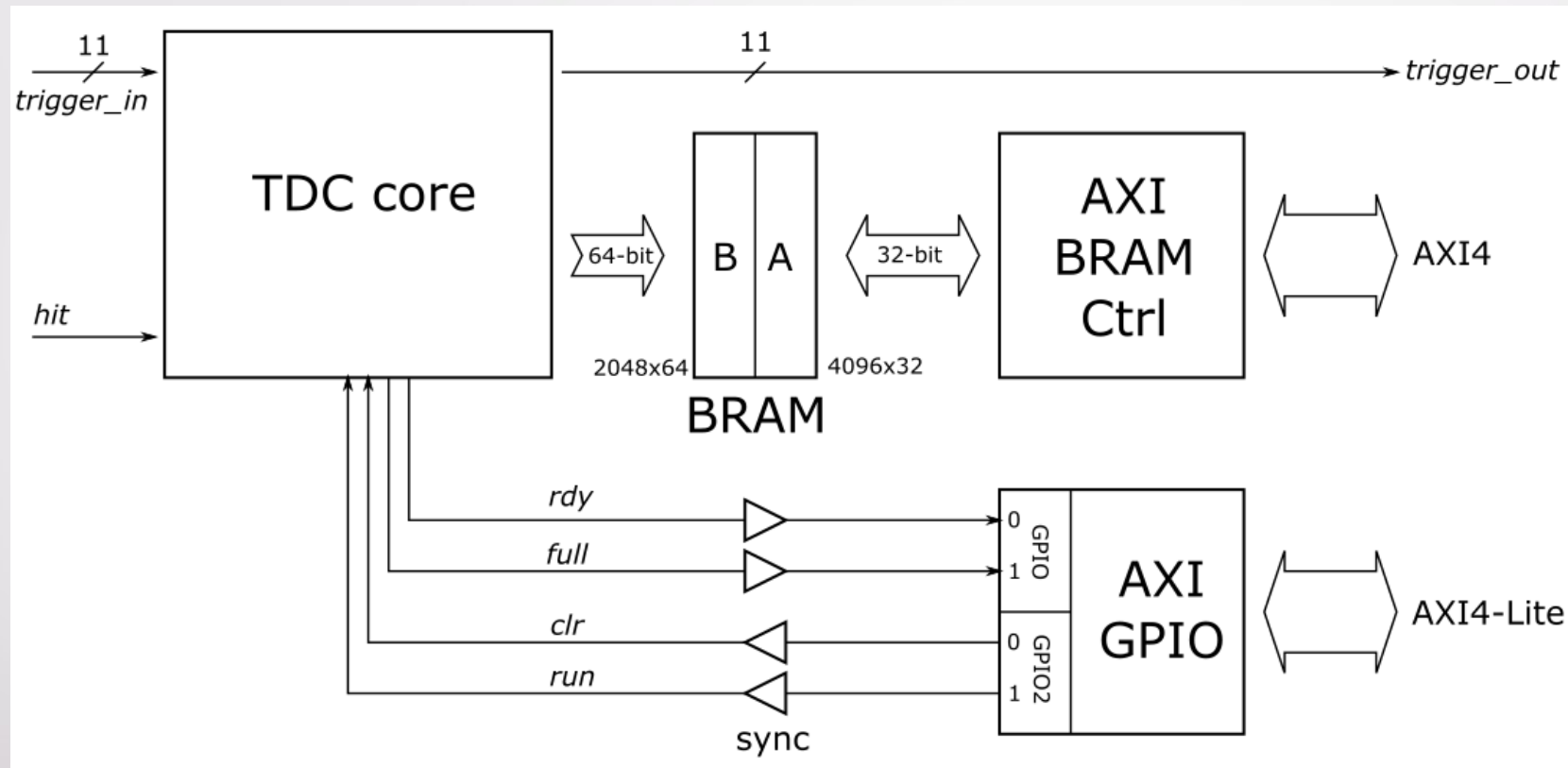


Del RTL sheme seštevalnega drevesa

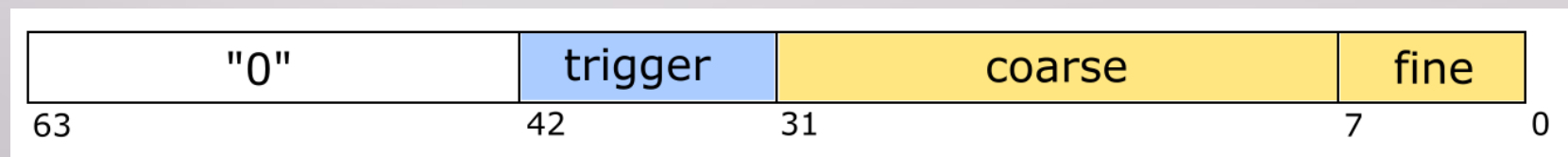


Idejna arhitektura enkoderja [9]

Komponenta IP z vmesnikom AXI

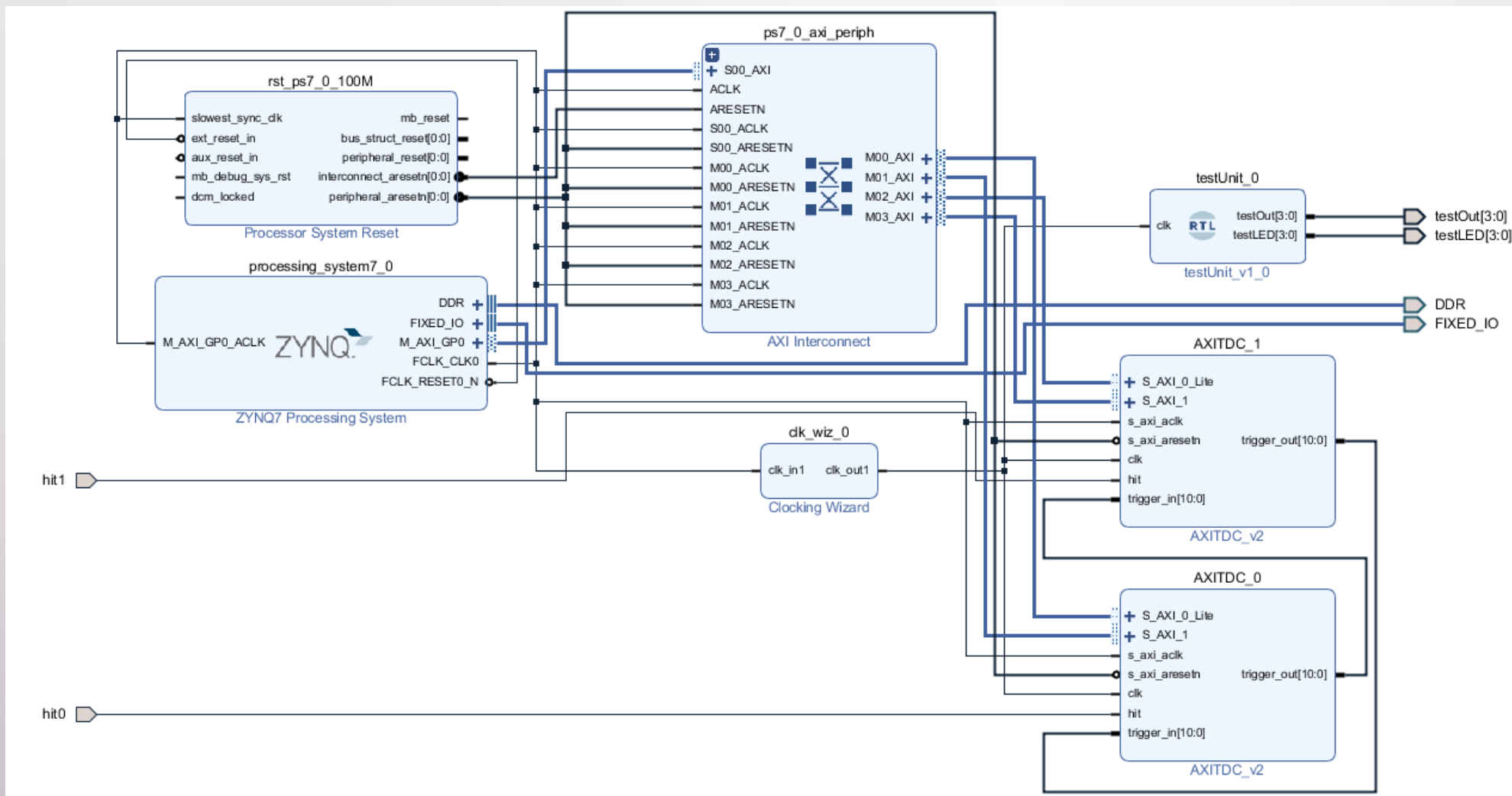


Shema komponente IP časovno-digitalnega pretvornika z vmesnikom AXI



Struktura časovne značke, ki se vpiše v BRAM

Dvokanalni sistem TDC



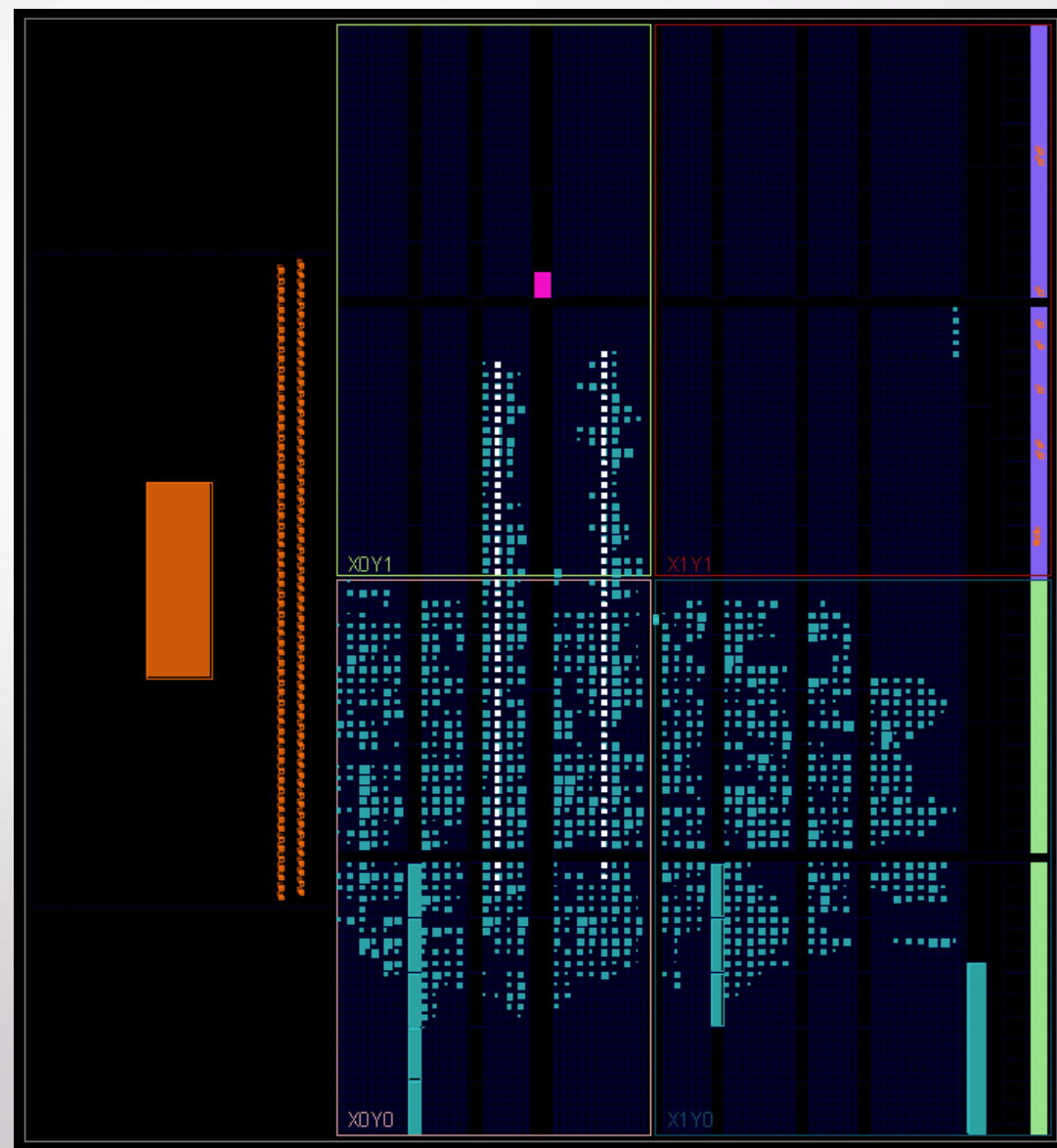
Blokovna shema dvokanalnega sistema časovno-digitalnih pretvornikov

Implementacija vezja na FPGA

- Dosežena hitrost:
 - Kanali TDC – **350 MHz**
 - Povezljivost AXI – **100 MHz**

	LUT (17600)		Flip-flopi (35200)		BRAM (60)	
Jedro TDC	261	1.5 %	784	2.2 %	0	0 %
AXI-TDC IP	549	3.1 %	1084	3.1 %	4	6.7 %
1-kanalni sistem	~1400	8.0 %	~2100	6.0 %	4	6.7 %
2-kanalni sistem	2575	14.6 %	4185	11.9 %	8	13.3 %

Zasedenost čipa Zynq-7010

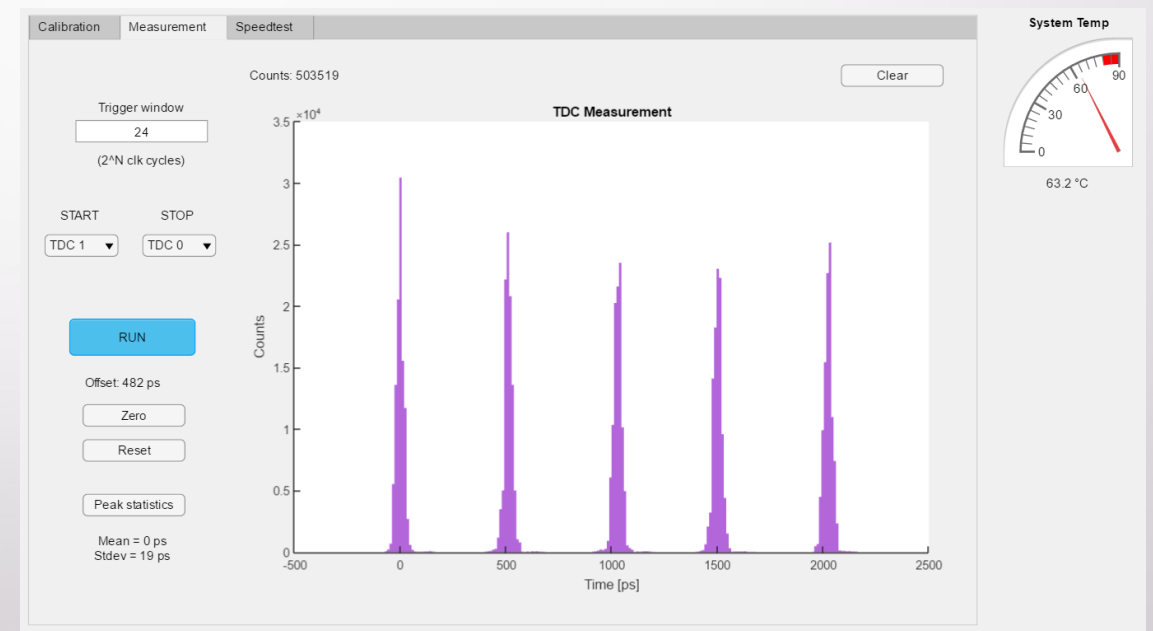


Grafični uporabniški vmesnik

- Aplikacija v MATLABu omogoča kalibriranje zakasnilnih linij, opravljanje časovnih meritev, merjenje hitrosti prenosa in odčitavanje temperature čipa



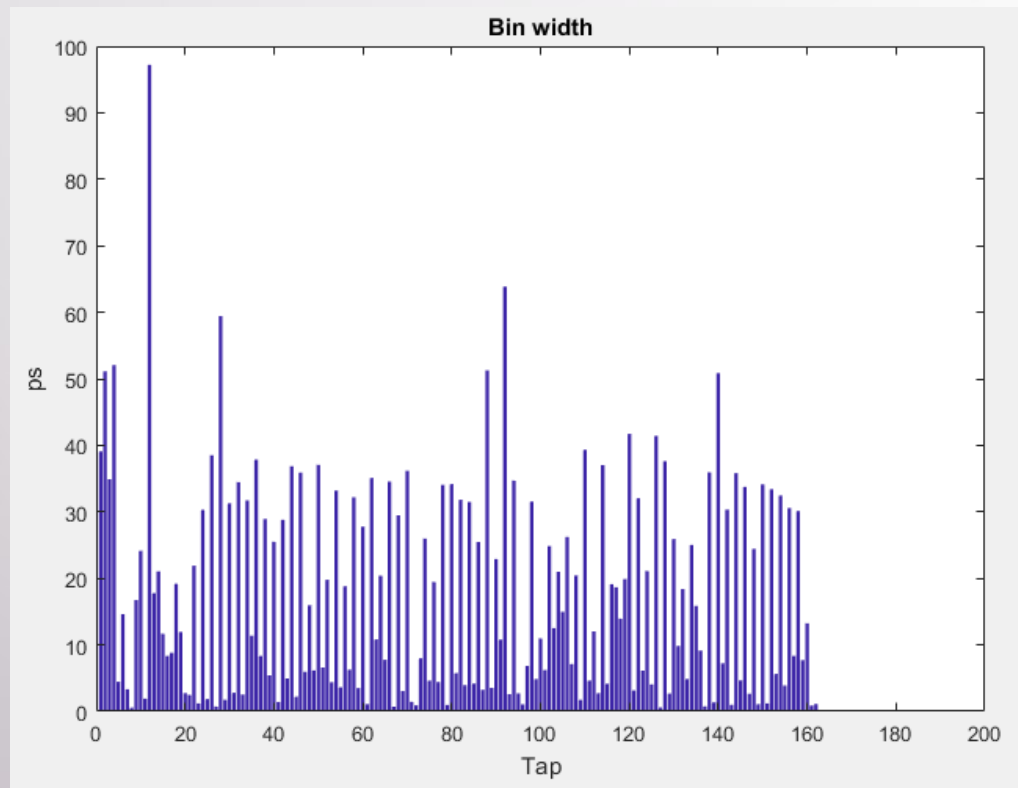
Okno za kalibracijo zakasnilne linije



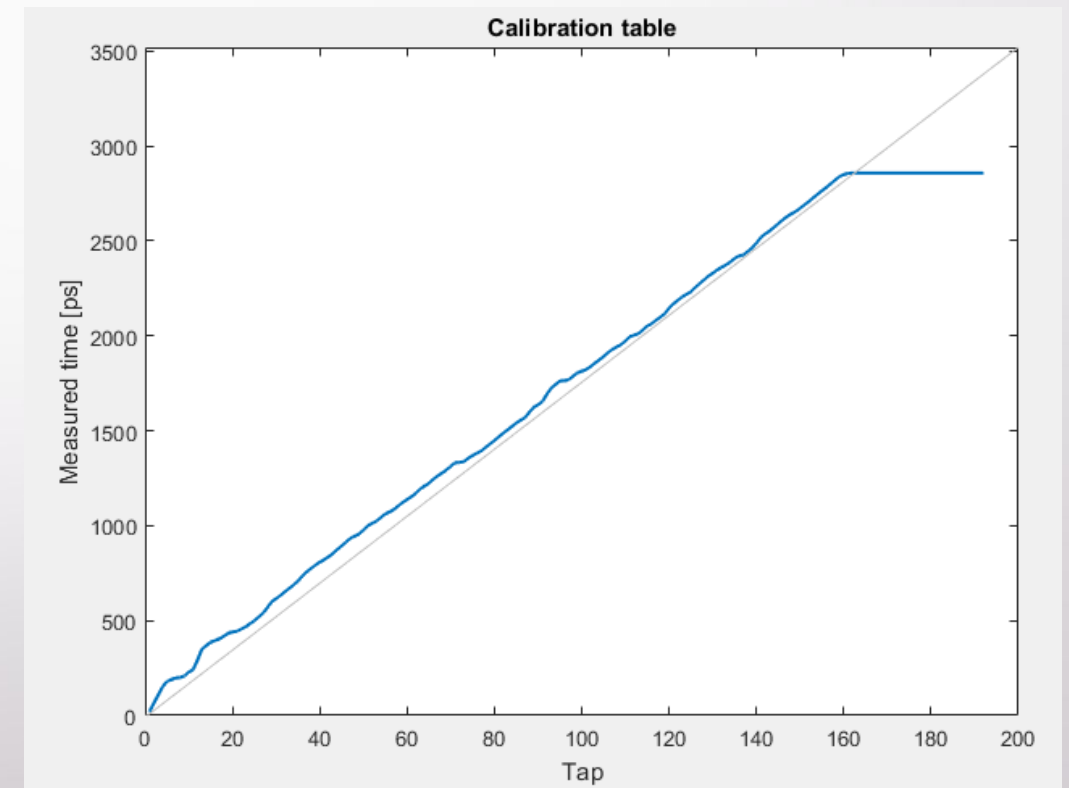
Okno za merjenje časovnih intervalov

Kalibracija in (ne)linearnost zakasnilne linije

- Na vhod pošljemo veliko sunkov in izvedemo statistični test

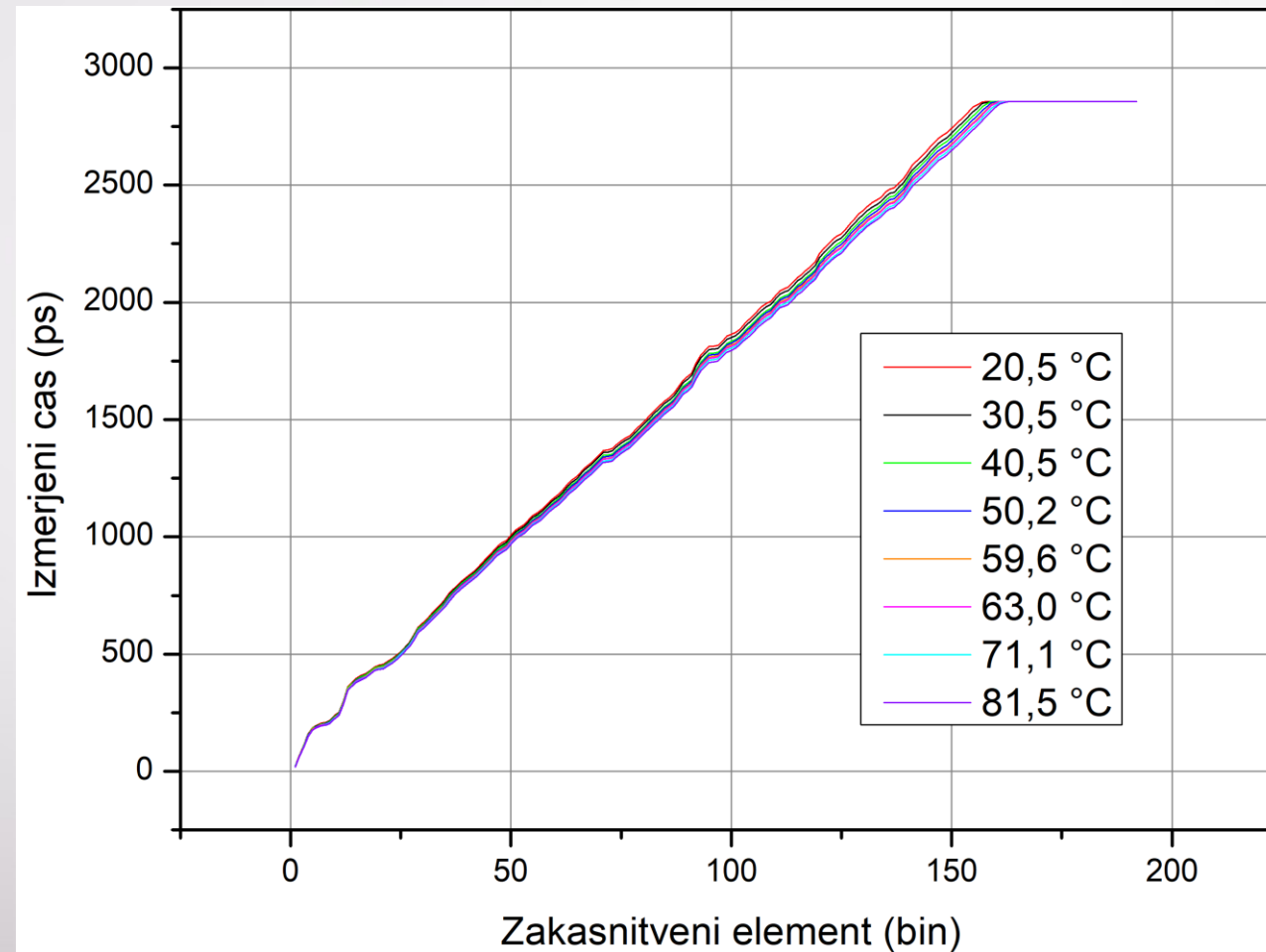


Širine zakasnitvenih elementov: $W_i = \frac{N_i}{N} \cdot T$



Kalibracijska funkcija: $T_i = \sum_{k=1}^{i-1} W_k + \frac{W_i}{2}$

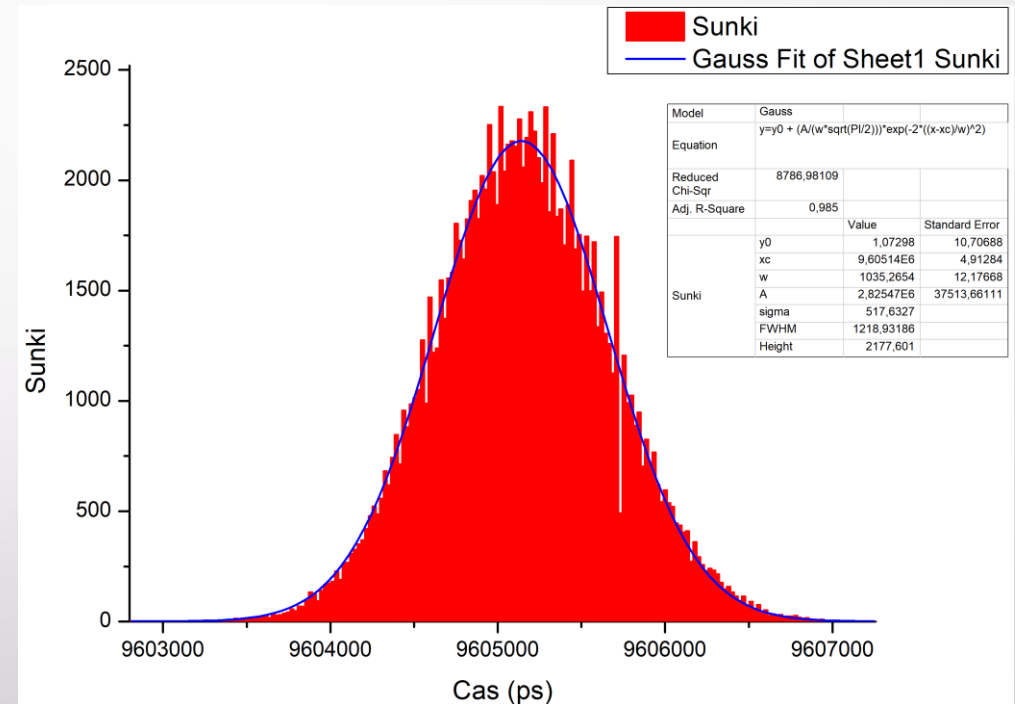
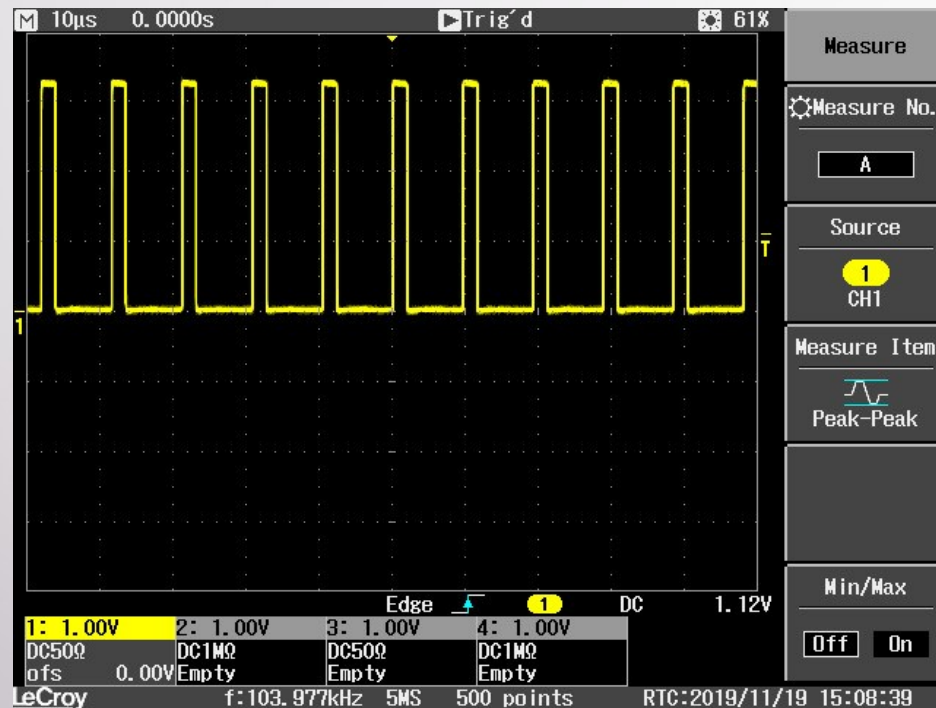
Kalibracija in (ne)linearnost zakasnilne linije



Kalibracijska funkcija v odvisnosti od temperature čipa

Enokanalna meritev

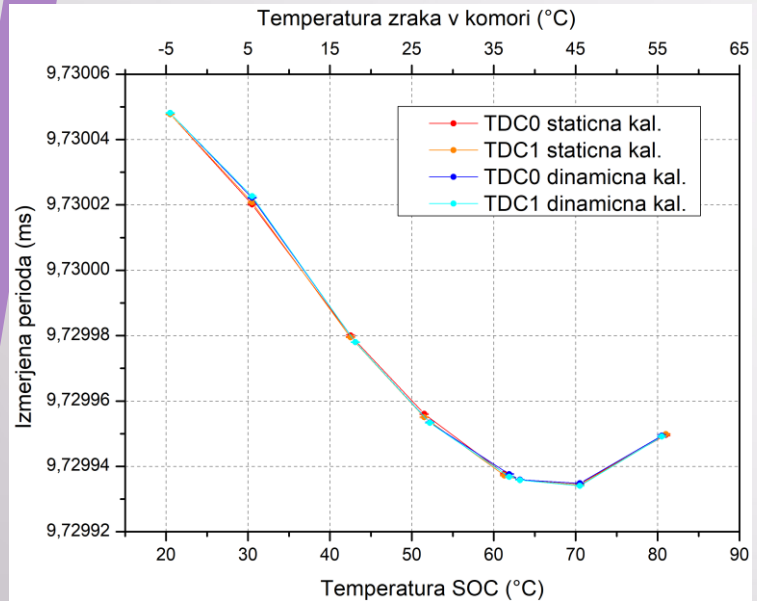
- Zazna periodičnosti v vhodnem signalu
- Maksimalna frekvenca 70 MHz (mrtvi čas linije ~14 ns)



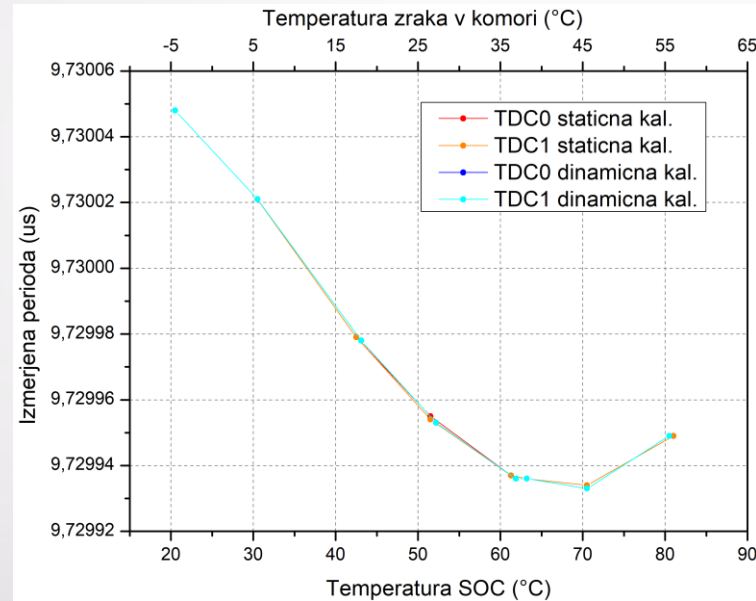
Primer meritve signala s periodo 9,6051 μ s

Enokanalna meritev

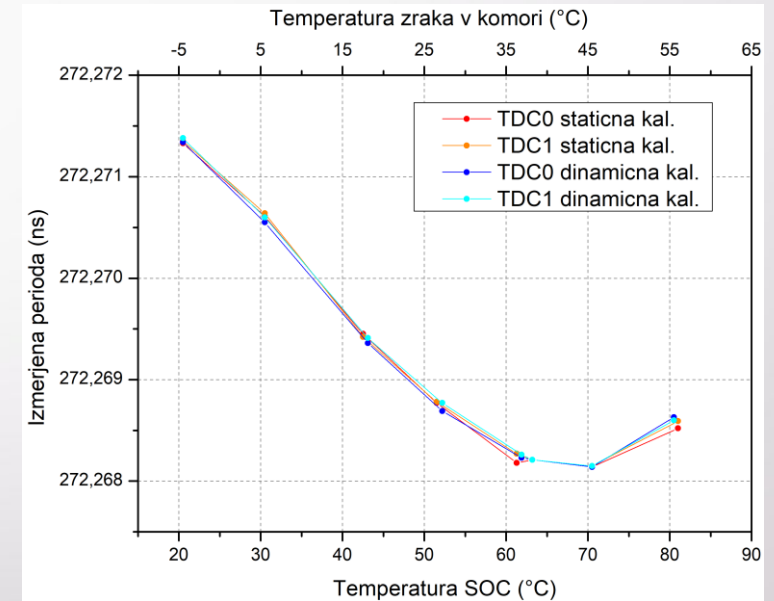
- Natančnost je znotraj 10^{-5} (10 ppm) v 60 °C širokem T intervalu



Perioda = 9,73 ms



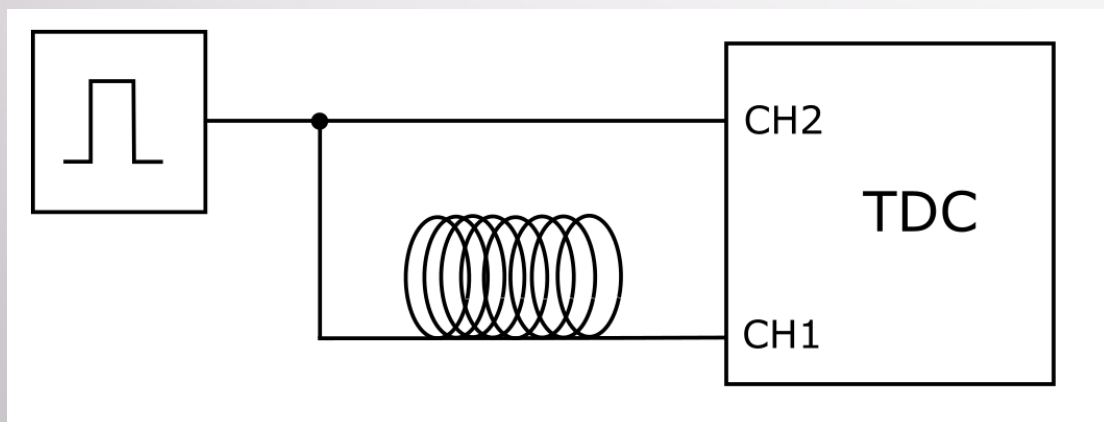
Perioda = 9,73 μ s



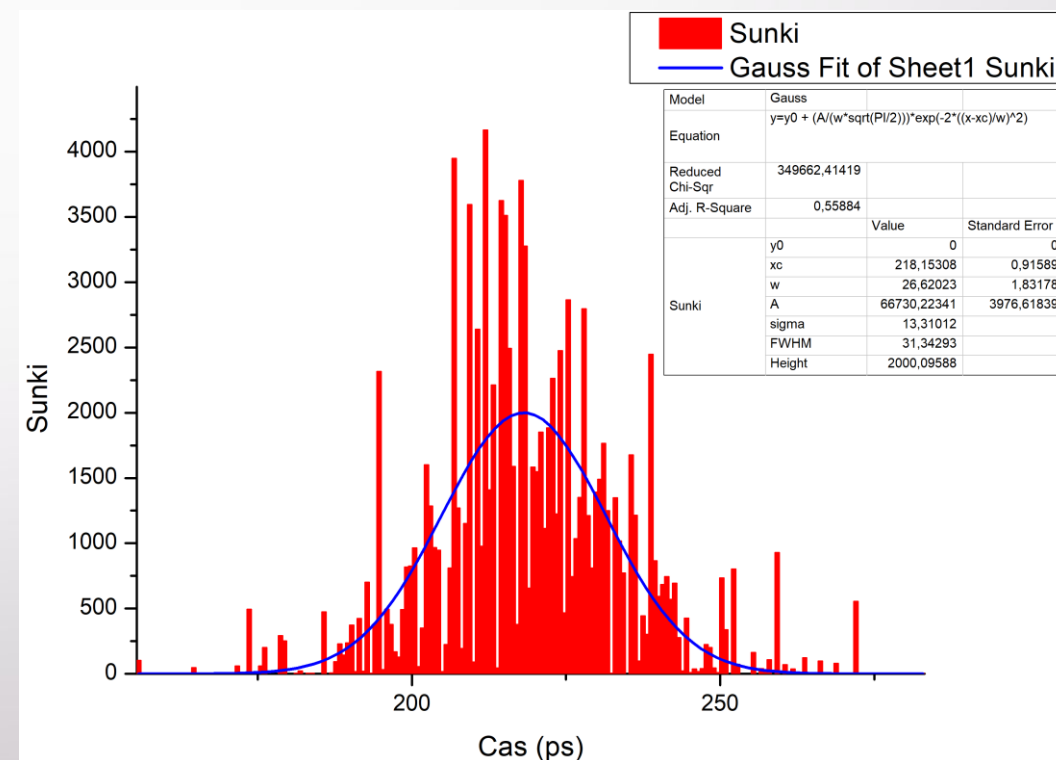
Perioda = 272,27 ns

Medkanalna meritev & časovna ločljivost

- Klasične meritve tipa START-STOP
- Najvišja dosežena ločljivost znaša **16 ps RMS** oziroma **11 ps RMS** na kanal



Shema postavitve za merjenje ločljivosti TDCja

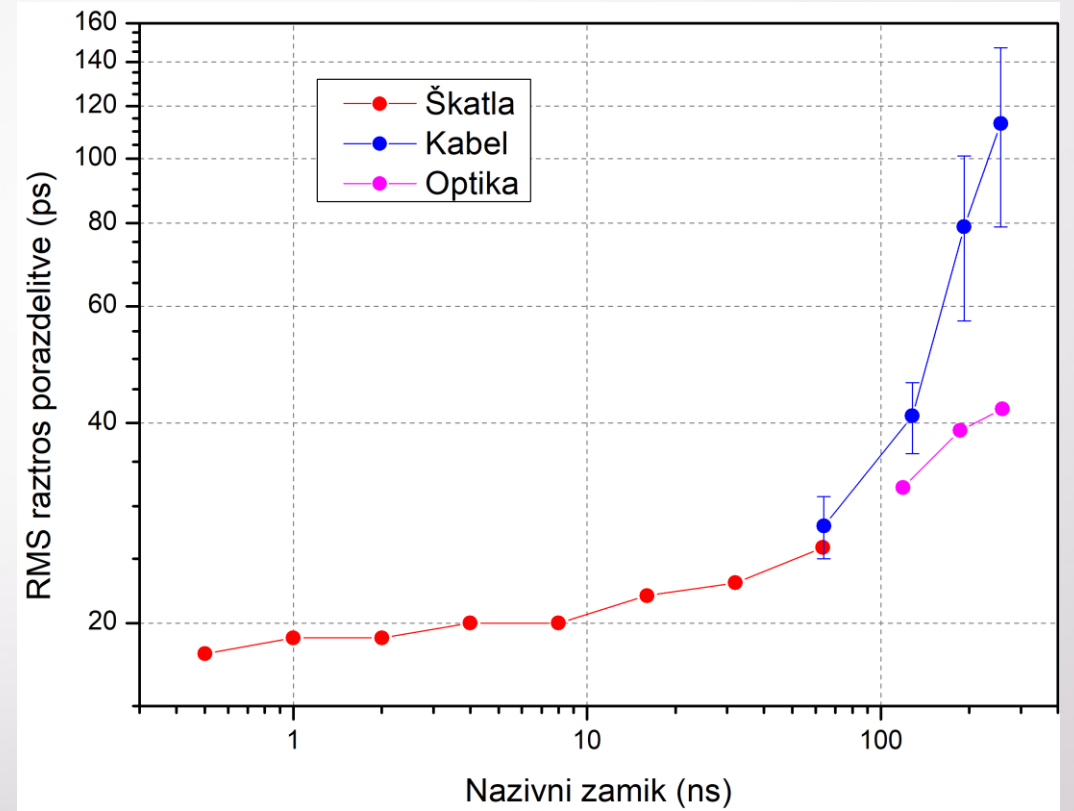


Rezultat: $\sigma = 13 \text{ ps}$, $\text{RMS} = 16 \text{ ps}$

Ločljivost v odvisnosti od zakasnitve



Ustvarjanje dodatne zakasnitve

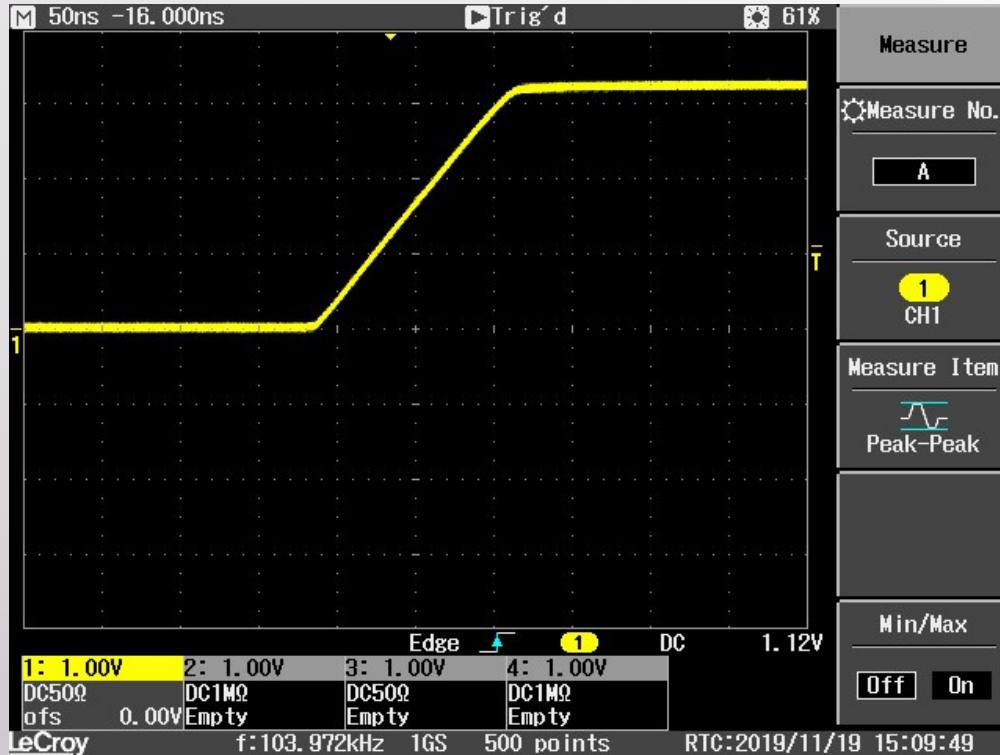


Z večanjem zakasnitve se ločljivost počasi slabša

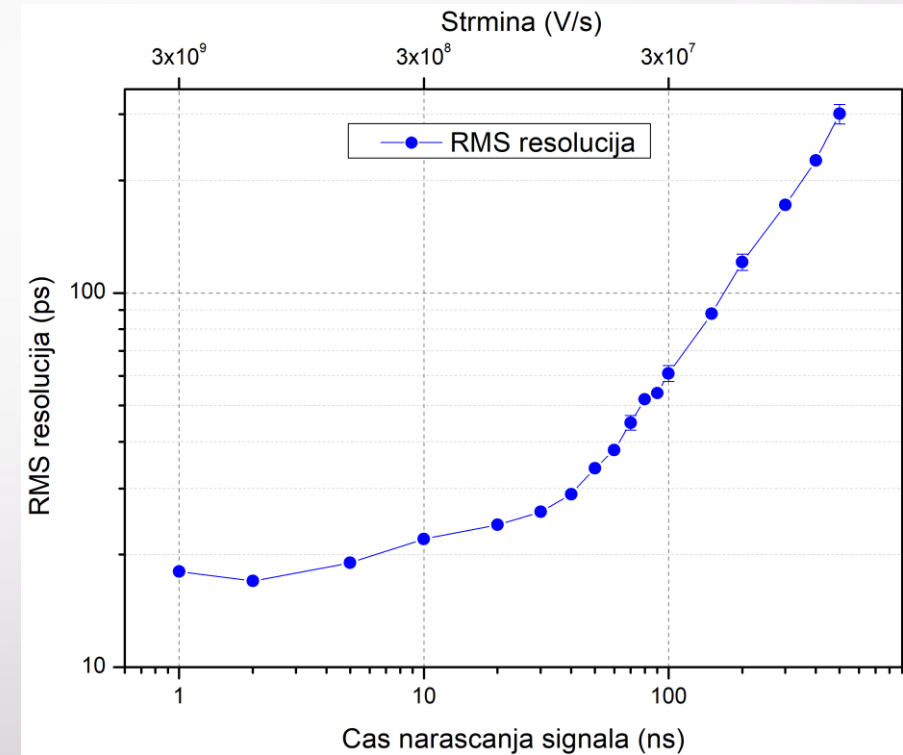
- Pri zakasnitvi 260 ns medkanalna RMS resolucija znaša solidnih 42 ps

Ločljivost v odvisnosti od strmine pulza

Zelo počasen signal s časom naraščanja 100 ns



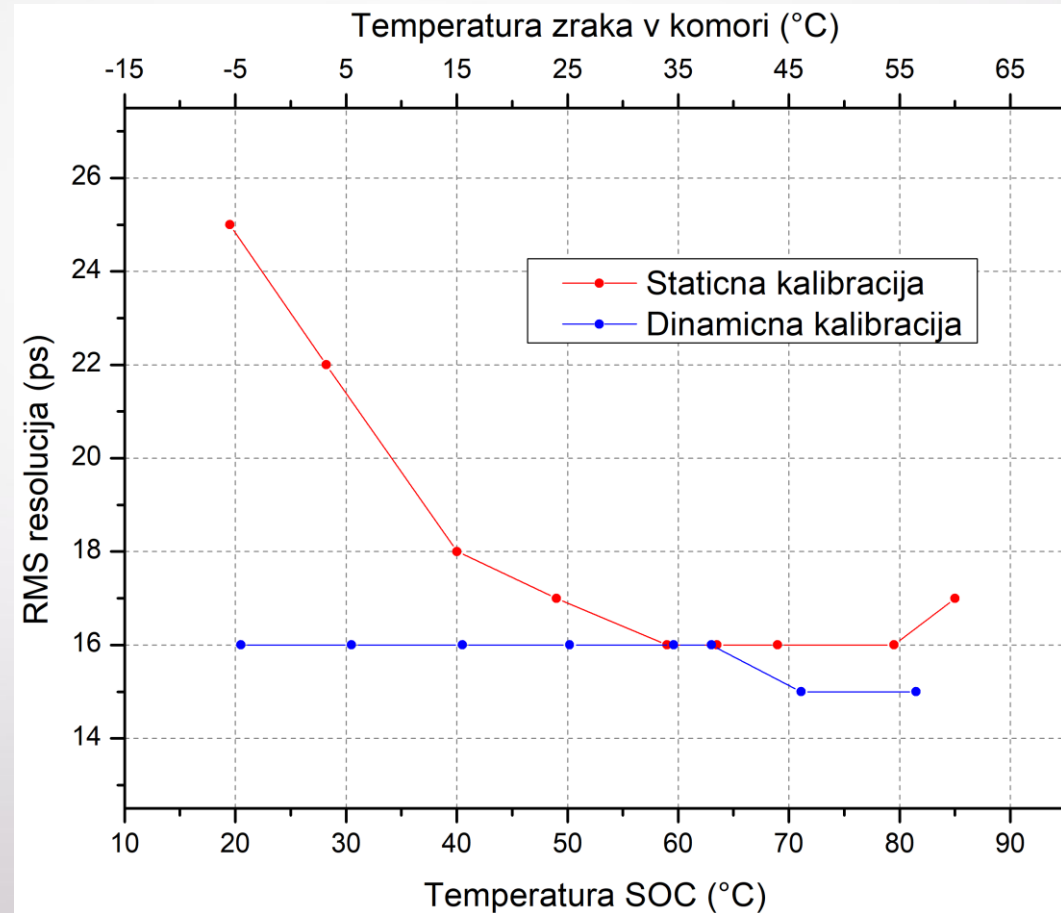
Počasnejši signali pomenijo slabšo ločljivost



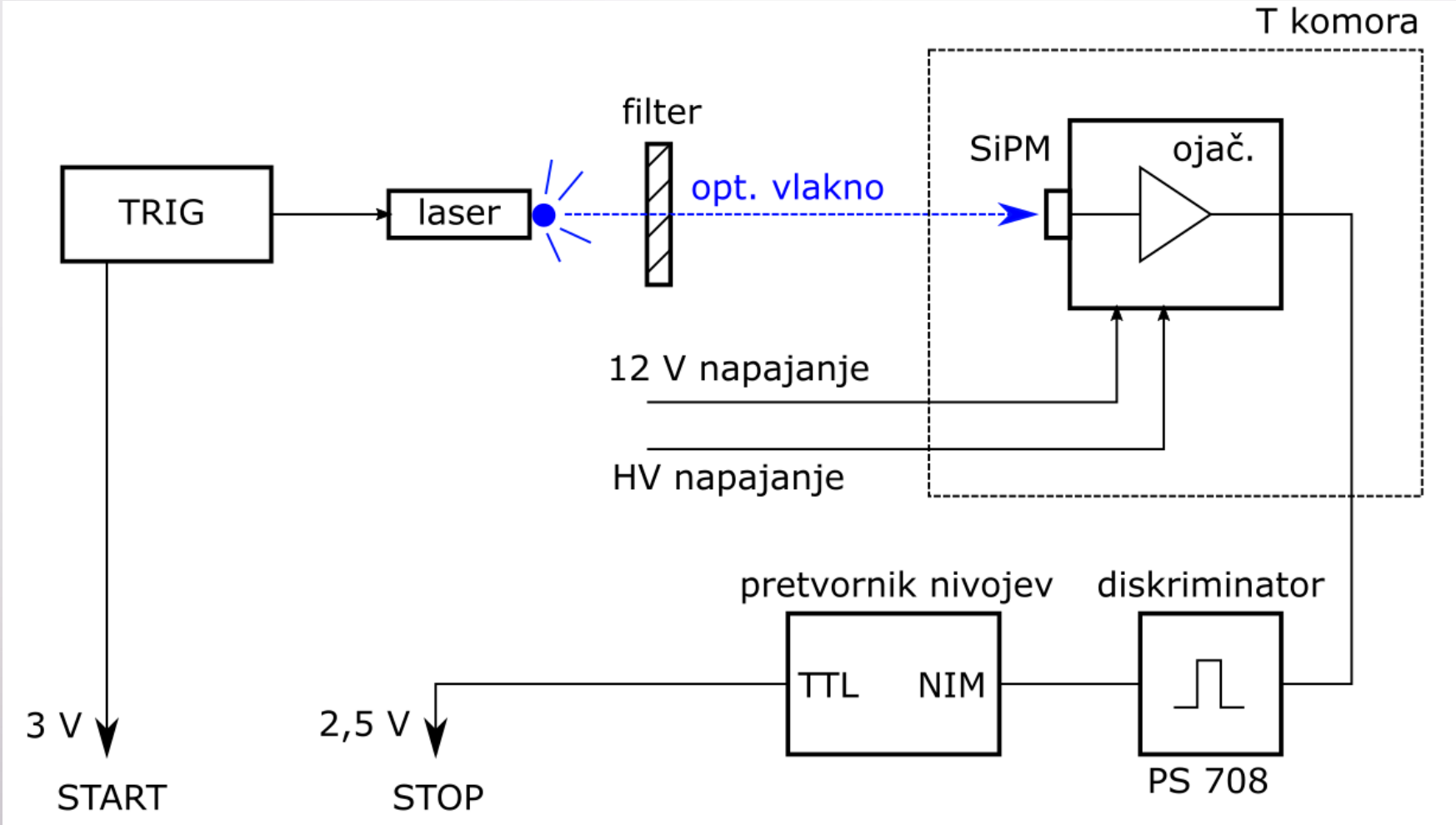
- Pri počasnih 10 ns signalih je medkanalna ločljivost še vedno odličnih 22 ps

Ločljivost v odvisnosti od temperature

- S sprotnim (dinamičnim) kalibriranjem lahko ohranjamo najvišjo ločljivost skozi celotno temperaturno območje

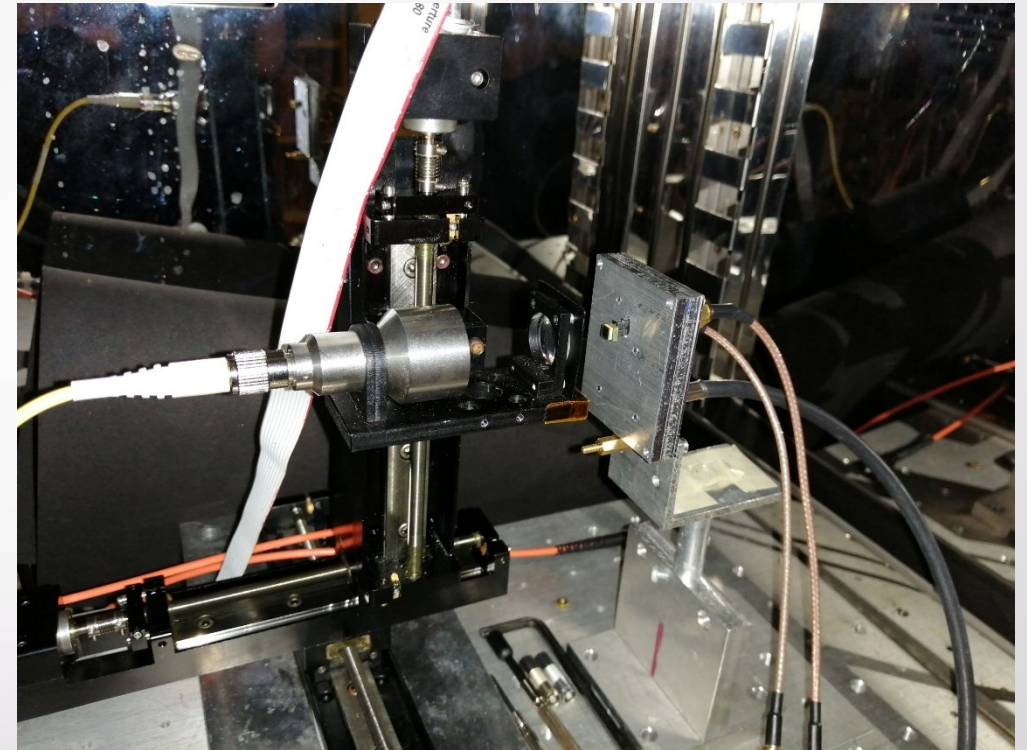
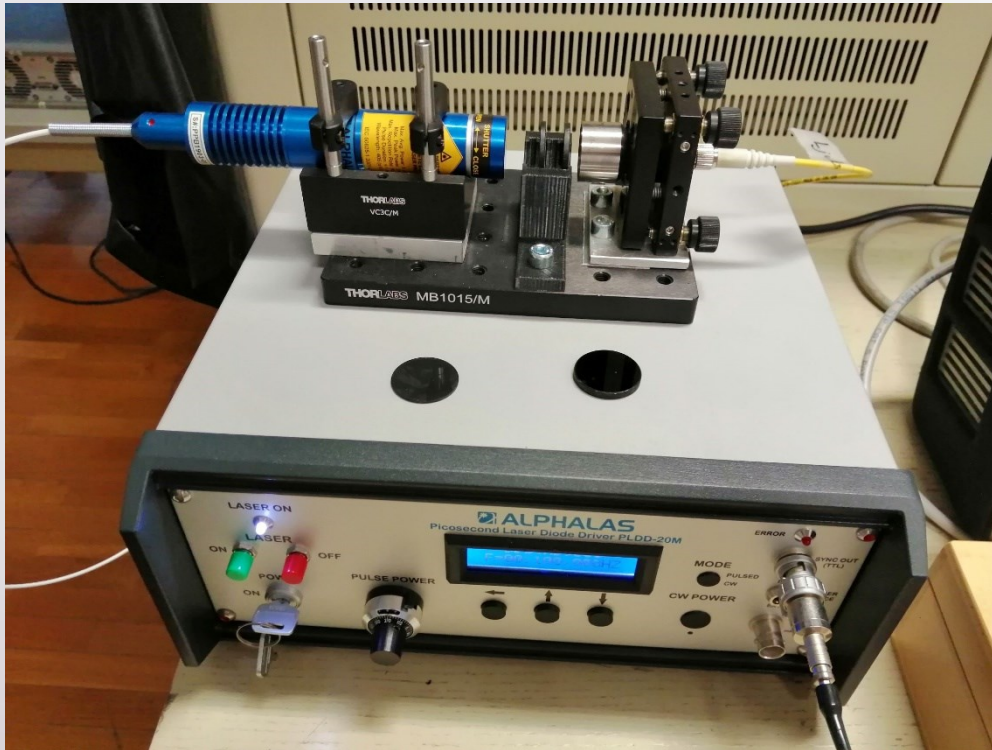


Postavitev laser – SiPM



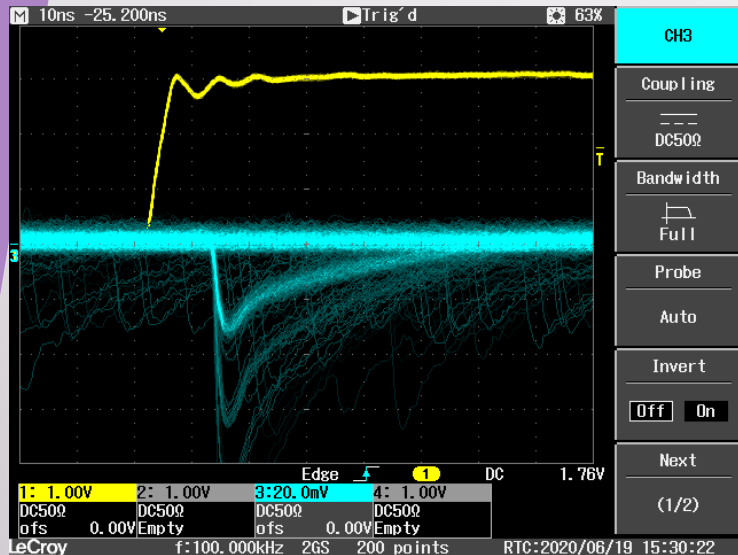
Prožilni signal vodimo na START, digitaliziran izhod SiPM pa na STOP

Postavitev laser – SiPM

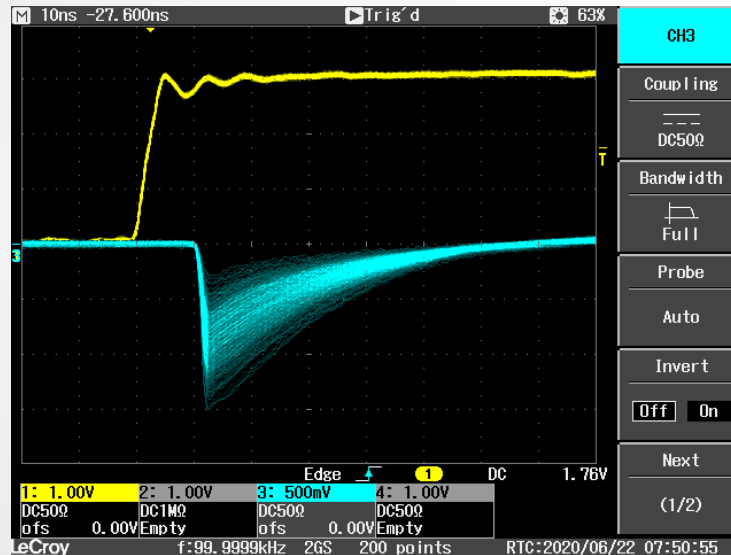


- S pikosekundnim pulznim laserjem preko enorodovnega optičnega vlakna svetimo na SiPM, ki je zaprta v temperaturni komori

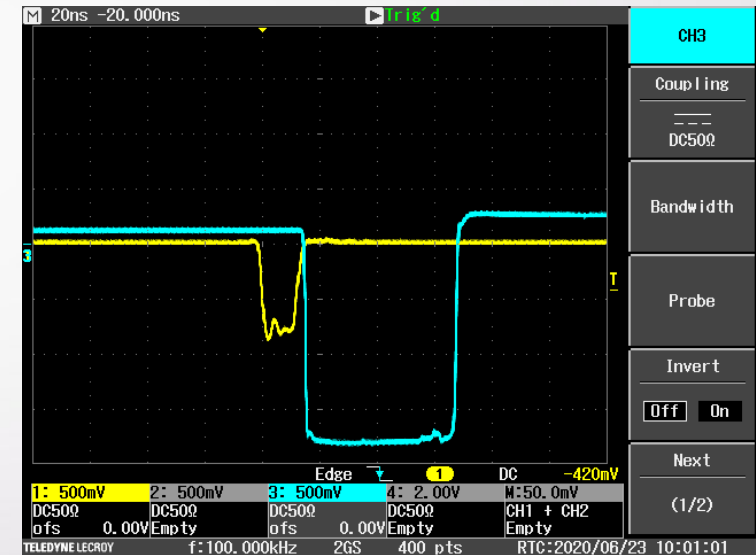
Različne intenzitete svetlobnih pulzov



Režim posameznih fotonov



Režim visoke intenzitete

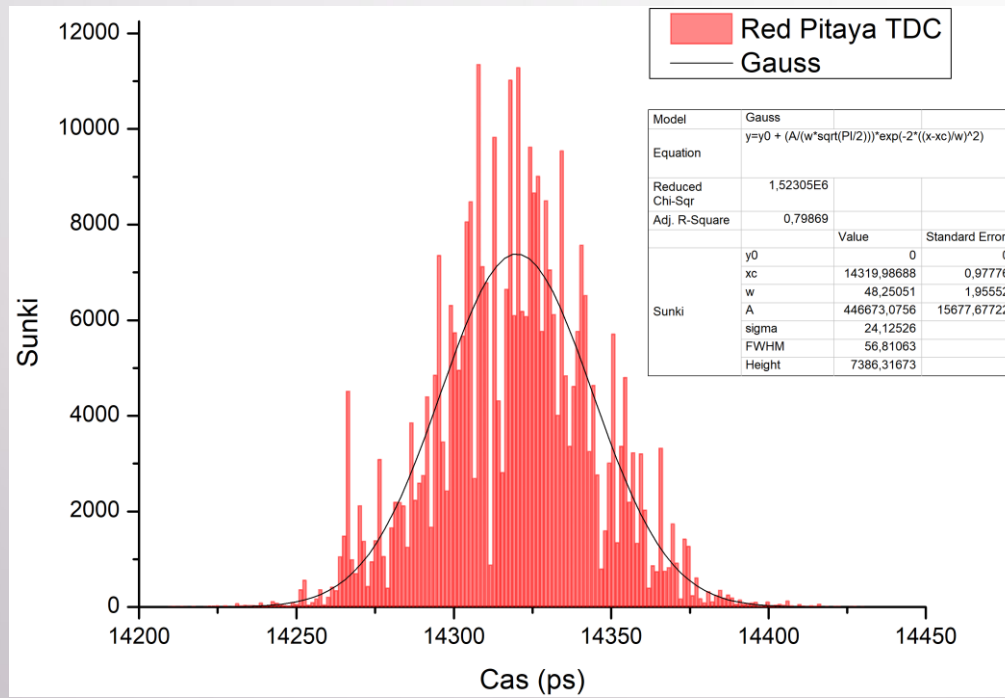


Zasičenje

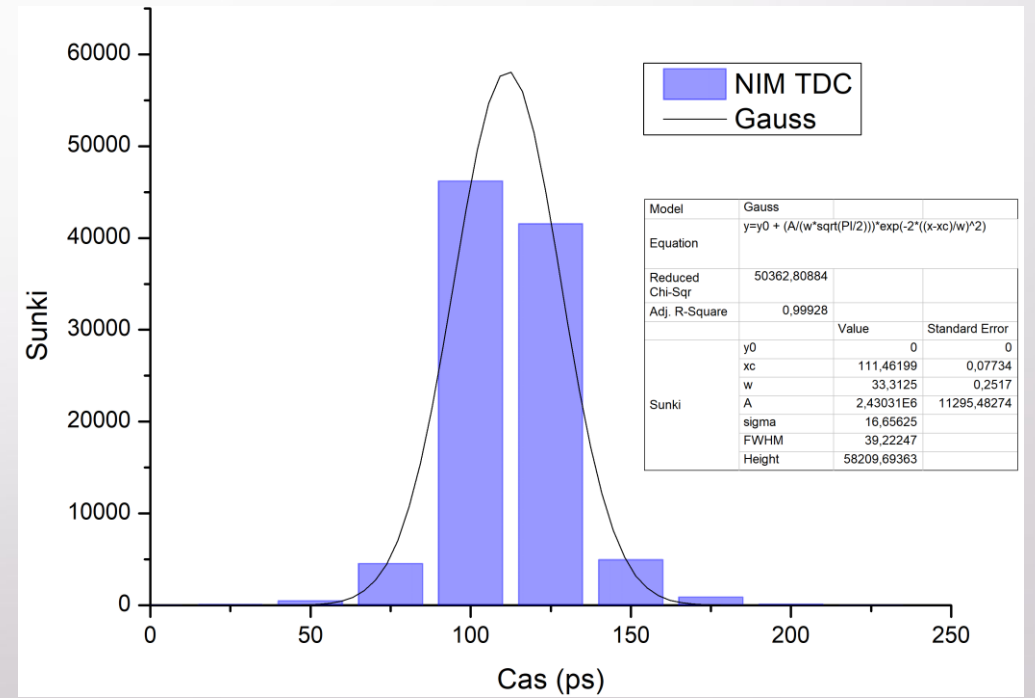
- Višja kot je intenziteta svetlobe, boljša je časovna ločljivost

SiPM v zasičenju

- Najvišja časovna ločljivost
- Primerjava med izdelanim in referenčnim TDCjem



Red Pitaya TDC, RMS = 25 ps



TDC Kaizuworks KC3781A, RMS = 19 ps

Sklep

- Na osnovi integrirane zakasnilne linije iz prenosne logike smo na poceni vezju FPGA izdelali izredno zmogljiv in uporaben časovni merilni inštrument
- Možna uporaba na Praktikumumu in drugje

Povzetek lastnosti kanala TDC

Frekvenca jedra	350 MHz
Št. elementov linije	192 (konfigurabilno)
Časovna ločljivost	≥ 11 ps
Natančnost	< 10 ppm
DNL	od -1 do $+4,5$ LSB
INL	od $+0,5$ do $+8,5$ LSB
Merilno območje	47,9 ms
Mrtvi čas	~ 14 ns
Max. hitrost	~ 70 MS/s

Viri slik

- [1] J. Kalisz, Review of methods for time interval measurements with picosecond resolution, *Metrologia*, vol. 41, no. 1, str. 17–32, februar 2004.
- [2] R. E. Schmitz, A. M. Alessio in P. E. Kinahan, The Physics of PET/CT scanners, University of Washington. <http://depts.washington.edu/imreslab/education/Physics%20of%20PET.pdf>
- [3] <https://www.redpitaya.com/>
- [4] <https://www.xilinx.com/>
- [5] Logic block. https://en.wikipedia.org/wiki/Logic_block
- [6] S. Akthar, FPGA Architecture. <https://allaboutfpga.com/fpga-architecture/>, 16. april 2014.
- [7] C. Ugur, E. Bayer, N. Kurz in M. Traxler, A 16 channel high resolution (<11 ps RMS) Time-to-Digital Converter in a Field Programmable Gate Array, *Journal of Instrumentation*, vol. 7, C02004, februar 2012.
- [8] Xilinx, 7 Series FPGAs Configurable Logic Block, *User Guide*, UG474 (v1.8), 27. september 2016.
- [9] Y. Wang, J. Kuang, C. Liu in Q. Cao, A 3.9-ps RMS Precision Time-to-Digital Converter Using Ones-Counter Encoding Scheme in a Kintex-7 FPGA, *IEEE Transactions on Nuclear Science*, vol. 64, no. 10, str. 2713–2718, oktober 2017.